

Attorney Docket No. 1602,1001

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:

Norichika KUMAMOTO, et al.

Application No.:

Group Art Unit:

Filed: May 16, 2001

Examiner:

For: PROCESSOR CONTROL APPARATUS, PROCESSOR, AND PROCESSOR
CONTROLLING METHOD



**SUBMISSION OF CERTIFIED COPY OF PRIOR FOREIGN
APPLICATION IN ACCORDANCE
WITH THE REQUIREMENTS OF 37 C.F.R. §1.55**

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

In accordance with the provisions of 37 C.F.R. §1.55, the applicant(s) submit(s) herewith
a certified copy of the following foreign application:

Japanese Patent Application No. 2000-398291

Filed: December 27, 2000

It is respectfully requested that the applicant(s) be given the benefit of the foreign filing
date(s) as evidenced by the certified papers attached hereto, in accordance with the
requirements of 35 U.S.C. §119.

Respectfully submitted,

STAAS & HALSEY LLP

Date:

A handwritten signature and the date '5/15/01' written over a horizontal line.

By:

James D. Malsey, Jr.
Registration No. 22,729

A large, stylized handwritten signature of James D. Malsey, Jr. written over a horizontal line.

700 11th Street, N.W., Ste. 500
Washington, D.C. 20001
(202) 434-1500

©2001 Staas & Halsey LLP

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

JCS68 U.S. PTO
09/855776
05/16/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年12月27日

出 願 番 号

Application Number:

特願2000-398291

出 願 人

Applicant(s):

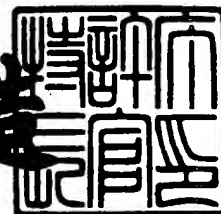
富士通株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 3月 2日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2001-3013819

【書類名】 特許願

【整理番号】 0052172

【提出日】 平成12年12月27日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 15/00

【発明の名称】 プロセッサ制御装置及びプロセッサ制御方法

【請求項の数】 5

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 熊本 乃親

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 鶴田 徹

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 吉沢 英樹

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【代理人】

 【識別番号】 100097250

 【弁理士】

 【氏名又は名称】 石戸 久子

【復代理人】

 【識別番号】 100101856

 【弁理士】

【氏名又は名称】 赤澤 日出夫

【電話番号】 03-3775-5391

【手数料の表示】

【予納台帳番号】 038760

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0014371

【書類名】 明細書

【発明の名称】 プロセッサ制御装置及びプロセッサ制御方法

【特許請求の範囲】

【請求項 1】 演算ユニットに命令列を発行する複数の命令制御ユニットを備えたプロセッサ制御装置において、複数の演算ユニットを一つの命令制御ユニットからの命令列によって駆動する第 1 実行処理と、演算ユニット毎に異なった命令制御ユニットからの命令列によって駆動する第 2 実行処理とを、切り替えて実行させる制御手段を備えたことを特徴とするプロセッサ制御装置。

【請求項 2】 請求項 1 に記載のプロセッサ制御装置において、前記制御手段による切り替え処理は、命令列に含まれた情報に基づいて実行されることを特徴とするプロセッサ制御装置。

【請求項 3】 請求項 1 又は請求項 2 に記載のプロセッサ制御装置において、前記制御手段は、第 2 実行処理を実行中の第 N 演算ユニットに対して、該第 N 演算ユニットに命令列を発行している第 N 命令制御ユニットと異なる第 M 命令制御ユニットから命令列が発行された場合、第 N 演算ユニットが終了状態となるまで、第 M 命令制御ユニットを待ち状態とすることを特徴とするプロセッサ制御装置。

【請求項 4】 複数の演算ユニットで実行すべき命令列を記憶する命令メモリと、前記命令メモリからの命令列を解読し、前記複数の演算ユニットのいずれかに出力する命令デコーダと、前記命令デコーダで解読すべき命令列を切り替えて前記命令デコーダに与えるセレクタとを備えてなるプロセッサ制御装置。

【請求項 5】 複数の命令制御ユニットを備えて複数の演算ユニットに命令列を実行させるプロセッサ制御方法において、

所定の複数の演算ユニットを一つの命令制御ユニットからの命令列によって同期して駆動する同期実行と、所定の演算ユニット毎に異なった命令制御ユニットからの命令列によって自立して駆動する自立実行とのいずれを実行させるかを予め命令列に規定しておき、

該規定内容に従って、命令列が実行される演算ユニットを切り替えるようにし

たことを特徴とするプロセッサ制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、複数の演算ユニットを単一の命令列によって駆動する処理と、演算ユニット毎に異なった命令列によって駆動する処理とを切り替えて実行させるプロセッサ制御装置及びプロセッサ制御方法に関するものである。

【0002】

【従来の技術】

従来より、携帯端末や次世代携帯電話に代表される画像処理や音声処理等の信号処理システムでは、信号処理に適したハードウェアとシステムの制御に適したハードウェアを搭載している。デバイス技術の進歩に伴い、現在では信号処理を信号処理用プロセッサ（DSP）で行い、システム制御を汎用マイクロプロセッサ（MPU）で行なうシステムが一般的となっている。このようなシステムでは信号処理を高速に実行できると共に、様々な割り込み処理が必要なシステム制御を効率的に実現できる。

【0003】

【発明が解決しようとする課題】

ところが、こうしたシステムは異なる2つのハードウェアから構成されるため互いに同期が必要な処理、例えば音声を伴う画像処理等では同期をとるためにオーバーヘッドが生じてしまうという問題が発生する。これに対し、近年MPUの性能向上から、信号処理を含めて、全ての処理をMPU上で実現するシステムが登場している。このようなシステムでは、信号処理とシステム制御を効率的に同期させることができるものの、性能向上のため動作周波数を上げる必要があり、組込み装置等、消費電力が問題となる装置には適用できない。

【0004】

また、動作周波数を上げずに高速化を実現する方法として、並列処理による方法がある。例えば、並列化の一方法であるVLIW方式では複数の命令からなる命令列により複数の演算を同時に実行することで、MPU演算とDSP演算を並

列に処理することができる。しかしこの方式ではプログラムカウンタが単一であるため、割り込み処理やループ処理等の分岐処理は全ての演算に対して同時に行なわれてしまう。システム制御のような割り込み処理が多い処理と信号処理のようにループ処理が多い処理では並列化の効果が低減してしまい、結果として性能低下を招いてしまうという問題が生じる。

【0005】

本発明は、上述した事情に鑑みてなされたものであって、複数の演算ユニットを一つの命令制御ユニットからの命令列で実行する処理と演算ユニット毎に異なった命令制御ユニットからの命令列によって実行する処理とを処理内容に応じて切り替えて実行させることにより、例えば、MPUとDSPを1つのモジュールで実行する場合に、処理すべきタスク間で同期をとる頻度が低い場合には、MPUとDSPを互いに自立的に実行させ、処理すべきタスク間で同期をとる頻度が高い場合には、MPUとDSPを同期的に実行させることを可能とし、なおかつ、小型化、低消費電力を満たす制御を実現できるプロセッサ制御装置及びプロセッサ制御方法を提供することを目的としている。

【0006】

【課題を解決するための手段】

上述した課題を解決するため、本発明に係るプロセッサ制御装置は、演算ユニットに命令列を発行する複数の命令制御ユニットを備えたプロセッサ制御装置において、複数の演算ユニットを一つの命令制御ユニットからの命令列によって駆動する第1実行処理と、演算ユニット毎に異なった命令制御ユニットからの命令列によって駆動する第2実行処理とを、切り替えて実行させる制御手段を備えたことを特徴とするものである。

【0007】

このような構成により、例えば、システム制御などの割り込み処理が多い処理と信号処理のようにループ処理が多い処理とを、効率的に切り替えて実行することができる。また、このようなプロセッサ制御装置を単一のプロセッサに搭載することにより、従来の複数のプロセッサによる構成、且つプロセッサ間の同期を取るためのハードウェアを追加する構成に比べて、小型で消費電力の低いプロセ

ッサを提供することが可能となる。

【0008】

また、本発明に係るプロセッサ制御装置において、前記制御手段による切り替え処理は、命令列に含まれた情報に基づいて実行されることを特徴とするものである。

【0009】

このように予め命令列に切替のための情報を含めておくことにより、命令デコーダで命令列を解読するだけで命令列の切替を実行することが可能となるため、単純な構成で高効率な制御が実現し、切替のための追加的なハードウェア資源も不要となる。なお、実施の形態においては、命令列に、予め切替のための切替命令を含ませるようにしており、該切替命令を命令デコーダが解読した場合に、実行すべき命令列の切替を行なうようにしている。また、命令列は複数の命令から構成されている。

【0010】

さらに、本発明に係るプロセッサ制御装置において、前記制御手段は、第2実行処理を実行中の第N演算ユニットに対して、該第N演算ユニットに命令列を発行している第N命令制御ユニットと異なる第M命令制御ユニットから命令列が発行された場合、第N演算ユニットが終了状態となるまで、第M命令制御ユニットを待ち状態とすることを特徴とするものである。

【0011】

このような構成により、第M命令制御ユニットは、第N演算ユニットにおいて第N命令制御ユニットからの命令列による実行中の処理が終了した時点で、命令列を発行すればよいため、実行中の処理を途中で妨げることなく、且つ待ち状態の解除後、次に実行すべき命令列の処理を円滑に開始することで、演算ユニット間の同期を取ることができ、処理効率が高まる。

【0012】

なお、本発明の実施の形態では、第N演算ユニットが停止状態になると、第N演算ユニットを駆動させる命令デコーダから所定の制御信号が第M命令制御ユニットへ出力され、第M命令制御ユニットが該制御信号を受けると、待ち状態から

復帰して、第N演算ユニットに対して命令列を発行するという構成となっている。

【 0 0 1 3 】

さらに、この場合において、前記制御手段は、命令列を保持する第1記憶手段を有し、第2実行処理を実行中の第N演算ユニットに対して、該第N演算ユニットに命令列を発行している第N命令制御ユニットと異なる第M命令制御ユニットから命令列が発行された場合、第M命令制御ユニットからの命令列を第1記憶手段に保持し、第N命令制御ユニットが発行している命令列に含まれた情報に基づいて第1記憶手段に保持された命令を実行するようにしてもよい。

【 0 0 1 4 】

このような構成により、命令列を実行中の演算ユニットに対し、その実行途中で、割り込みをかけて別の命令列を実行させたい場合、一時的に割り込み処理させたい命令列をその命令列が発行された時点で所定の記憶手段に記憶しておくことができるため、命令制御ユニットからの命令列の発行が停止せずに済み、効率的に処理させることが可能となる。また、割り込み処理を命令列に含まれた情報に基づいて行うようにしたため、演算ユニットが実行中の処理をむやみに妨げることなく、効率的に割り込み処理させることができる。

【 0 0 1 5 】

さらに、この場合において、一つの命令制御ユニットの命令列を実行している演算ユニットに対し、他の命令制御ユニットからの命令列を切り替えて実行させる場合に、該実行中の命令列により生成されたデータを、該実行中の命令列に係る命令制御ユニットに対応して保持する第2記憶手段を備えてもよい。

【 0 0 1 6 】

このような構成により、例えば、第N命令制御ユニットから第N演算ユニットに対して発行された命令列の実行中に第M命令制御ユニットから第N演算ユニットに対して命令列が発行された場合には、演算途中のデータを予め備えられたレジスタファイル等に保持しておくことにより、割り込み処理によるデータ退避を行なうことなく、第M命令制御ユニットからの命令列を高速に割り込み処理させることができ、且つ、第N命令制御ユニットから発行された命令列も小さなレイ

テンシで処理することが可能となる。

【0017】

なお、制御手段は、各演算ユニットの命令実行状態に基づいて命令列を発行すべき演算ユニットを判断し、その判断結果に基づく演算ユニットに命令列を発行するようにすることもでき、このような構成とすれば、ハードウェアの状態、つまり演算ユニットの命令実行状態により命令列を発行すべき演算ユニットを判断することができるため、予め命令列の中に駆動させるべき演算ユニットの情報を組み込んでおかずとも、効率よく切り替えて命令列を発行することが可能となり、命令列を単純な構成とすることができる。

【0018】

また、本発明に係るプロセッサ制御装置は、複数の演算ユニットで実行すべき命令列を記憶する命令メモリと、前記命令メモリからの命令列を解読し、前記複数の演算ユニットのいずれかに出力する命令デコーダと、前記命令デコーダで解読すべき命令列を切り替えて前記命令デコーダに与えるセレクタとを備えてなるものである。

【0019】

このような構成により、例えば、単一の命令列で複数の演算ユニットを同期させて駆動するような同期実行処理と、演算ユニット毎に異なった命令列で同期せずに独立に駆動するような自立実行処理を効率的に切り替えることができ、単純なハードウェア構成で、複雑な制御を容易且つ効果的に実行することが可能となる。また、このようなプロセッサ制御装置を単一のプロセッサに搭載することにより、従来の複数のプロセッサによる構成、且つプロセッサ間の同期を取るためのハードウェアを追加する構成に比べて、小型で消費電力の低いプロセッサを提供することが可能となる。

【0020】

なお、前記命令列にVLIW型命令列を含むようにすれば、命令列による切替処理をVLIW型命令列にも適用できるため、各演算ユニットが同期して動作することでVLIWプロセッサの特長をそのまま生かすことができ、又、各演算ユニットが同期せず個別に駆動することで、他の演算ユニットで行なわれるタスク

の割り込みなどの外乱に影響されることなく処理の実行が可能となるため、従来の V L I W プロセッサでは実現が困難なタスクの特徴に応じた最適な処理が実現できる。また、前記命令列に複数の演算ユニットをシリアルに駆動させる時分割命令列を含むようにすれば、時間的にシリアルに各演算ユニットに命令列を発行できるため、並列に命令列を発行する場合に比べ、小さな回路規模でプロセッサ制御が実現可能となる。特に演算ユニットの命令処理サイクル数が異なる場合、時間的にシリアルに命令列を発行するためのオーバーヘッドを隠蔽することができる。

【 0 0 2 1 】

さらに、この場合において、前記命令デコーダは前記複数の演算ユニットに対応して複数設けられており、一つの命令メモリが前記複数の演算ユニットに実行させるべき命令列を記憶し、前記一つの命令メモリは、各命令デコーダへ命令列を発行するための複数のポートを有してもよい。

【 0 0 2 2 】

このような構成により、複数の演算ユニットを駆動させるための命令列を同一の命令メモリに保持することが可能となるため、例えば、単一のプログラムの中のサブルーチン等は命令メモリ中に 1 つ保持しておけば、各演算ユニット毎に保持する必要もなく、サブルーチンを異なる複数の演算ユニットに実行させることができ、プログラムの管理が容易となるとともに、各命令制御ユニットで必要となる命令数にばらつきが生じた場合でも、命令メモリを効率的に使用することができ、結果として、命令メモリ容量を小さくすることができる。

【 0 0 2 3 】

さらに、この場合、各演算ユニットへの電力供給を前記各演算ユニットの処理の実行状況に基づいて制御する電力制御手段を備えてもよい。

【 0 0 2 4 】

このような構成によれば、プロセッサ全体で統一的に電力制御を行なうことと、各演算ユニット毎に独立して電力制御を行なうことを、必要に応じて選択することが可能となるため、従来の単一の電力制御と比較してより細かい電力制御が可能になり、より低消費電力なプロセッサが実現できる。

【 0 0 2 5 】

また、上述したプロセッサ制御装置と、該プロセッサ制御装置により駆動される演算ユニットとを備えてなるプロセッサを提供してもよい。

【 0 0 2 6 】

このような構成により、例えば、単一の命令列で複数の演算ユニットを同期させて駆動するような同期実行処理と、演算ユニット毎に異なった命令列で同期せずに独立に駆動するような自立実行処理を効率的に切り替えることができ、且つ単純なハードウェア構成で処理の切り替えが可能のため小型化でき、さらに消費電力の低いプロセッサとなる。

【 0 0 2 7 】

また、本発明は、複数の命令制御ユニットを備えて複数の演算ユニットに命令列を実行させるプロセッサ制御方法において、所定の複数の演算ユニットを一つの命令制御ユニットからの命令列によって同期して駆動する同期実行と、所定の演算ユニット毎に異なった命令制御ユニットからの命令列によって自立して駆動する自立実行とのいずれを実行させるかを予め命令列に規定しておき、該規定内容に従って、命令列が実行される演算ユニットを切り替えるようにしたことを特徴とするものである。

【 0 0 2 8 】

このような方法により、単一のプロセッサにおいて命令列の内容に応じて実行すべき命令列を切り替えることができるため、動作周波数の低い、低消費電力を実現する高効率なプロセッサ制御が可能となる。

【 0 0 2 9 】

【発明の実施の形態】

以下、図を用いて、本発明の実施の形態を詳細に説明する。

図 1 は、本発明のプログラム制御の動作を簡略的に示したプロセッサの基本構成を示すブロック図である。このプロセッサは、複数の命令制御ユニット及び命令制御ユニットからの命令制御により駆動される複数の演算ユニットから構成されている。

【 0 0 3 0 】

第1演算ユニット13は、第1命令制御ユニット10からの命令列により駆動される。また、第2演算ユニット14は、第1命令制御ユニット10からの命令列又は第2命令制御ユニット11からの命令列により駆動される。同様に第N演算ユニット15は、第1命令制御ユニット10からの命令列又は第N命令制御ユニット12からの命令列により動作される。

【0031】

一例として、第2演算ユニット14の基本動作を説明する。第2演算ユニット14が第1命令制御ユニット10からの命令列2で駆動される場合、第1演算ユニット13と第2演算ユニット14は同一の命令列によって駆動されるため、演算ユニット間の同期が容易で、命令実行サイクル単位で、ユニット間での同期のためのハンドシェークを行なうこと無しで、正しくデータの受け渡しを行なうことができる。

【0032】

一方、第2演算ユニット14が第2命令制御ユニット11からの命令列により駆動される場合、第2演算ユニット14は、第1命令制御ユニット10及び第1演算ユニット13とは独立に駆動されるため、第1命令制御ユニット10に対して割り込み等の外乱が生じて、第2演算ユニット14はこのような割り込みに無関係に動作し続けることができる。

【0033】

このような演算ユニットの駆動制御は、命令制御ユニット内で実行すべき命令列を命令列に含まれる情報又はハードウェアの状態に応じて切り替えることによって行なわれる。

【0034】

ここで、命令列に含まれる情報によって切り替える処理について、図1及び図2を用いてその基本動作を簡単に説明する。図1において各命令制御ユニットは、命令列を記憶した命令メモリを有している（図示せず）。この命令メモリにおける命令列の格納状況、つまり命令メモリのデータ構造の一例を示したものが図2である。図2において、第1命令メモリは、第1命令制御ユニット10が有する命令メモリであり、第2命令メモリは、第2命令制御ユニット11が有する命

令メモリである。

【0035】

第1命令メモリには第1演算ユニット13を駆動するための命令列1及び第2演算ユニット14を駆動するための命令列2が格納されている。また、第2命令メモリには第2演算ユニットを駆動するための命令列2+のみが格納されている。先ず、第2演算ユニット14は、第1命令メモリのアドレス0001の命令列2に従い、命令列1に従って駆動される第1演算ユニットと同期して駆動される。さらにアドレス0003においても、該アドレスに格納された命令列2が同様に実行されるが、この命令列2には「自立実行切替」の命令が含まれており、この切替命令を解読した第2命令制御ユニット11は、実行すべき命令列を、第1命令メモリから発行される命令列2から、第2命令メモリから発行される命令列2+に切り替える。

【0036】

命令列が切り替わった時点で、第2演算ユニット14は、第2命令メモリに格納される命令列2+を自立的に実行する。この間、第1演算ユニット13側でも第1命令メモリのアドレス0004からアドレス0006までの命令列1を自立的に実行する。第2演算ユニット14は、第2命令メモリのアドレス0002まで自立実行を行なうが、このアドレス0002に格納された命令列2+には「同期実行切替」の命令が含まれており、この切替命令を解読した第2命令制御ユニット11は、実行すべき命令列を第1命令メモリから発行される命令列2に切り替える。ここで第2演算ユニット14は第1命令メモリのアドレス0008に格納された命令列2によって、命令列1に従って駆動される第1演算ユニット13と同期して駆動されることとなる。

【0037】

なお、同期実行と自立実行は、処理を行なう単位であるタスクの粒度（大きさ）に応じて切り替えるのが一般的である。タスクが細粒度（小さい）の場合は、同期処理が重要となり、タスクが粗粒度（大きい）場合は自立実行が適当である傾向がある。従って、タスク粒度が細粒度の場合は、各演算ユニットを同一の命令制御ユニットからの命令で駆動して、演算ユニット間の細かい同期をとり、又

、タスク粒度が粗粒度の場合は、各演算ユニットを個別の命令制御ユニットで駆動して、割り込み等の外乱に無関係に動作するようにしている。

【 0 0 3 8 】

上述の命令列による切り替えは、実行すべきタスクの粒度に応じて、自立実行か同期実行かの指定を予め命令列に組み込んでおくことで実現される。図 3 にタスク粒度の例を示す。なお、同期実行あるいは自立実行のいずれにより実行するかは粒度以外に制御の難易度や処理時間等の制約によっても設定され、タスクによっては粒度が大きい場合でも例えばオーバーヘッドの小さいものであれば同期実行させるほうが都合が良い場合もあり、図 3 に示された例に限定されるものではない。

【 0 0 3 9 】

次に、本発明が適用されるプロセッサを用いた携帯端末の構成例を図 4 に示す。プロセッサ 2 0 は、キー 2 1 の入力をキー I / F 2 2 を介して受け付けるとともに、ビデオ I / O 2 3 によりカメラ 2 4 からの画像入力、表示パネル 2 5 への画像表示、オーディオ I / O 2 6 によりマイク 2 7 からの音声入力、スピーカ 2 8 への音声出力を行い、それらのデータを通信 I / F 2 9 を介して外部と送受信することができる。また、プロセッサ 2 0 は、必要に応じて処理の同期を行なう。本発明は特に、同期処理と自立実行の処理とを効率的に切り替え、小型で消費電力の低い高性能のプロセッサの搭載が望まれる携帯端末のような装置に適用可能である。

【 0 0 4 0 】

以下、本発明の様々な実施の形態を添付図面に基づいて詳細に説明する。
実施の形態 1 .

図 5 は、2 つの演算ユニットと 2 つの命令制御ユニットから構成されるプロセッサの一例を示すブロック図であり、図 6 は、図 5 に示されたプロセッサの第 1 命令メモリ 3 0 a 及び第 2 命令メモリ 3 2 a に格納された複数の命令列からなるプログラムの一例を示す図である。

【 0 0 4 1 】

図 5 において、第 1 命令制御ユニット 1 0 a は、第 1 演算ユニット 1 3 a 及び

第2演算ユニット14aを駆動するための命令列を格納する第1命令メモリ30aと、第1命令メモリ30aからの命令列を解読して第1演算ユニット13aに出力する第1命令デコーダ31aを備えている。また、第2命令制御ユニット11aは、第2演算ユニット14aを駆動するための命令列を格納する第2命令メモリ32aと、第1命令メモリ30a及び第2命令メモリ32aからの命令列を解読して第2演算ユニット14aに出力する第2命令デコーダ33aと、第2命令デコーダ33aに第1命令メモリ30aあるいは第2命令メモリ32aのいずれかの命令列を切り替えて第2命令デコーダ33aに与えるセレクタ34aとを備えている。

【0042】

図6に示されたプログラムの例において、命令列1は第1演算ユニット13aを駆動する命令列であり、命令列2は第2演算ユニット14aを駆動する命令列である。先ず、第1命令制御ユニット10aから発行される命令列1及び命令列2が第1演算ユニット13a及び第2演算ユニット14aを同期的に駆動する。この時、セレクタ34aは、第1命令メモリ30aからの命令列2を第2命令デコーダ33aに与えている。

【0043】

第2命令デコーダ33aが命令列2の「自立実行切替」の命令を解読した時、第2命令デコーダ33aから制御信号がセレクタ34aに出力される。セレクタ34aは該制御信号を受け取ると、第2命令メモリ32aからの命令列を第2命令デコーダ33aに与えるべく切り替わる。同時に、第2命令デコーダ33aは第2命令メモリ32aに対して、命令列を発行するよう指示する。この時点で同期実行処理は終了し、各演算ユニットが独立に駆動され動作する自立実行処理に切り替わる。

【0044】

自立実行処理中において、第2演算ユニット14aは、第2命令制御ユニット11aの第2命令メモリ32aから発行される命令列である命令列2+を実行する。この間、第1演算ユニット13a側でも第1命令メモリ30aから発行される命令列1を独立に実行する。第2命令デコーダ33aが、命令列2+の処理の

終了と共に「同期実行切替」の命令を解読した時、第2命令デコーダ33aから制御信号がセクタ34aに出力される。セクタ34aは該制御信号を受け取ると、第1命令メモリ30aからの命令列を第2命令デコーダ33aに与えるべく切り替わる。同時に、第2命令デコーダ33aは第2命令メモリ32aに対して、命令列の発行を停止するよう指示する。この時点で、自立実行処理は終了し、各演算ユニットが同期的に駆動され動作する同期実行処理に切り替わる。

【0045】

このように命令列に予め切り替え命令が含まれ、該命令によって自立実行処理と同期実行処理が切り替えられるが、本実施の形態では、第2演算ユニット13aが実行する命令列2+による自立実行処理は、最大何サイクルでその処理が終了するのかが予め決まっているパターンであり、第1命令メモリ30aが各演算ユニットを同期的に駆動させるべく発行する命令列1及び命令列2は、このパターンに従って自動的に各命令デコーダに発行される。従って、本実施の形態では、同期実行切替の命令が解読された時に、第2命令デコーダ33aから第1命令メモリ30aに対して命令を発行するよう指示することはない。

【0046】

実施の形態2.

図7は、2つの演算ユニットと2つの命令制御ユニットから構成されるプロセッサの一例を示すブロック図であるが、その動作は実施の形態1と異なり、同期実行処理のために第1命令制御ユニット10b及び第1演算ユニット13bが一時的に待ち状態にされる構成となっている。図8は、図7に示されたプロセッサの第1命令メモリ30b及び第2命令メモリ32bに格納された複数の命令列からなるプログラムの一例を示す図である。

【0047】

先ず、命令列2の「自立実行切替」命令による自立実行処理が開始されるまでは、上述の実施の形態1と同様である。本実施の形態では、自立実行処理している第2演算ユニット14bに対して第1命令制御ユニット10bから同期実行処理を命令する場合、第2演算ユニット14bの自立実行処理が終了するまで第1命令制御ユニット10b及び第1演算ユニット13bを待ち状態にするための命

令である「同期命令」を、第1命令メモリ30bから第1命令デコーダ31bに発行する。

【0048】

第1命令デコーダ31bが「同期命令」を解読した場合、第1命令デコーダ31bは第1命令メモリ30bに対し、命令列の発行を停止するよう指示を出力し、第2演算ユニット14bが自立実行を終了するまで待ち状態となる。その後、自立実行中の第2演算ユニット14bが終了状態となり、第2命令制御ユニット11bの第2命令デコーダ32bが、命令列2+において「同期実行切替」の命令を解読した時、第2命令デコーダ33bから第1制御信号がセクタ34bに出力される。セクタ34bは該第1制御信号を受け取ると、第1命令メモリ30bからの命令列を第2命令デコーダ33bに与えるべく切り替える。また、第2命令デコーダ33bは第2命令メモリ32bに対して、命令列の発行を停止するよう指示する。また同時に、第2命令デコーダ33bから第2制御信号が第1命令制御ユニット10bの第1命令デコーダ31bに対して発行され、該第2制御信号を受け取った第1命令デコーダ31bは、第1命令メモリ30bに対し、待ち状態を解除し、命令列を発行するよう指示する。この時点で、自立実行処理は終了し、各演算ユニットが同期的に駆動される同期実行処理に切り替わる。

【0049】

このように本実施の形態では、第2演算ユニット14bの自立実行終了時に終了信号としての第2制御信号が第1命令デコーダ31bに対して必ず発行され、従って第2演算ユニット14bが実行する命令列2+からなる自立実行処理が、最大何サイクルで終了するのかが定められていなくても、確実に同期実行処理を開始することができる。

【0050】

実施の形態3.

図9は、2つの演算ユニットと2つの命令制御ユニットから構成されるプロセッサの一例を示すブロック図である。前述した実施の形態1と同様の構成に加え、第2命令制御ユニット11cには、命令列を一時的に蓄積しておくための命令キュー35、命令列実行中に割り込み処理を実行することができるか否かを判定

する割込判定部 3 6、第 2 命令デコーダ 3 3 c から出力される制御信号と割り込み判定部 3 6 から出力される制御信号の論理積をとる AND 回路 3 7 を備えており、セクタ 3 4 c は AND 回路 3 7 の出力に基づいて切り替わり、第 2 演算ユニット 1 4 c の自立実行処理中に第 1 命令制御ユニット 1 0 c から割り込み処理を実行させることができる構成となっている。図 1 0 は、図 9 に示されたプロセッサの第 1 命令メモリ 3 0 c 及び第 2 命令メモリ 3 2 c に格納された複数の命令列からなるプログラムの一例を示す図である。

【 0 0 5 1 】

先ず、命令列 2 の「自立実行切替」命令による自立実行処理が開始されるまでは、上述の実施の形態 1 と同様である。本実施の形態では、自立実行処理中の第 2 演算ユニット 1 4 c に対して第 1 命令制御ユニット 1 0 c から命令列（図 1 0 における命令 A 及び命令 B）が発行された場合、この発行された命令列が一旦命令キュー 3 5 に貯えられる。

【 0 0 5 2 】

また、第 2 命令メモリ 3 2 c から発行される命令列 2 + には、命令列の実行中に割り込みを受けてもよいか否かの情報が含まれており、割り込みを受け付けても良い場合には、その情報を第 2 命令デコーダ 3 3 c が解読した時に第 2 命令デコーダ 3 3 c から割込判定部 3 6 に対して割込許可信号が出力され、同時に AND 回路 3 7 に対し制御信号が出力される。一方、命令キュー 3 5 に第 1 命令制御ユニット 1 0 c からの命令 A が格納された場合、命令キュー 3 5 は割り込み処理すべき命令列が格納されたことを割込判定部 3 6 に通知する。割込判定部 3 6 は、この通知及び割込許可信号の両方を受けると、AND 回路 3 7 に対して割込判定信号を出力し、同時に第 2 命令メモリに対し一旦命令列の発行を停止するよう指示する。

【 0 0 5 3 】

AND 回路 3 7 は、例えば割込判定信号及び制御信号の論理積をとり、両方の信号を受け取った場合にのみセクタ 3 4 c を命令キュー 3 5 側に切り替える。こうして切り替えられたセクタ 3 4 c は、第 2 演算ユニット 1 4 c が命令キュー 3 5 に格納された命令 A を第 2 命令デコーダ 3 3 c に与える。命令 A の実行が

終了した時点で、第2命令デコーダ33cからAND回路37に対し制御信号が出力され、中断した自立実行処理を再開するために、第2命令メモリ32cから発行される命令列を第2演算ユニット14cに実行させるようセクタ34cが切り替わる。

【0054】

命令Bも上述の命令Aと同様に第2演算ユニット14cの自立実行中に割り込み実行される。もちろん、自立実行の命令列2+の処理内容によっては割り込みを受け付けない場合もあるが、その場合は、命令列2+の実行終了を待つことになる。

【0055】

実施の形態4.

図11は、2つの演算ユニットと2つの命令制御ユニットから構成されるプロセッサの一例を示すブロック図である。前述した実施の形態1と同様の構成に加え、第2演算ユニット14dには、演算処理を実行する演算器40の他に、第1命令制御ユニット10dからの命令列の実行により生成されたデータ（演算結果）を記憶しておくための第1レジスタファイル41、第2命令制御ユニット11dからの命令列の実行により生成されたデータを記憶しておくための第2レジスタファイル42、第1レジスタファイル41あるいは第2レジスタファイル42のいずれかに記憶されたデータを第2命令デコーダ33dからの指示に従って切り替えて演算器40に与える演算ユニット用セクタ43を備えており、例えば第2演算ユニット14dの自立実行処理中に第1命令制御ユニット10dから割り込み処理を実行させることができる構成となっている。図12は、図11に示されたプロセッサの第1命令制御ユニット10dの第1命令メモリ（図示せず）及び第2命令メモリ32dに格納された複数の命令列からなるプログラムの一例を示す図である。

【0056】

本実施の形態においては、第1命令制御ユニット10dから第2演算ユニット14dに発行された命令列が実行された時に生成されたデータは、該命令列の実行中に第2演算ユニット14dが実行すべき命令列が第2命令制御ユニット11

dからの命令列に切り替えられた場合に、第1レジスタファイル41に記憶されるものとする。また、第2命令制御ユニット11dから第2演算ユニット14dに発行された命令列が実行された時に生成されたデータについては、該命令列の実行中に第2演算ユニット14dが実行すべき命令列が第1命令制御ユニット10dからの命令列に切り替えられた場合に、第2レジスタファイル42に記憶されるものとする。

【0057】

以下、図12を用いて本実施の形態の動作を詳細に説明する。まず、第1命令制御ユニット10dの命令列1及び命令列2が第1演算ユニット13d及び第2演算ユニット14dを同期的に駆動する。この時、セクタ34dは、第1命令制御ユニット10dからの命令列2を第2命令デコーダ33dに与え、また、演算ユニット用セクタ43は、第1レジスタファイル41に記憶されたデータを演算器40に与える。

【0058】

同期実行が終了し、第2命令デコーダ33dが命令列2において「自立実行切替」の命令を解読した時、第2命令デコーダ33dは第2命令メモリ32dに対して、命令列を発行するよう指示する。同時に、第2命令デコーダ33dから制御信号がセクタ34d及び演算ユニット用セクタ43に出力される。セクタ34dは該制御信号を受け取ると、第2命令メモリ32dからの命令列を第2命令デコーダ33dに与えるべく切り替わる。演算ユニット用セクタ43は、該制御信号を受け取ると、第2レジスタファイル42に記憶されたデータを演算器40に与えるべく切り替わる。この時点で、第2演算ユニット14dは、自立実行処理のための命令列2+の実行を開始する。

【0059】

命令列2+の実行処理中、第2演算ユニット14dに対して第1命令制御ユニット10dから命令列が発行された場合、セクタ34dは自動的に切り替わり、第1命令制御ユニット10dからの命令列を第2命令デコーダ33dへ与える。同時に演算ユニット用セクタ43は、第1レジスタファイル41に記憶されたデータを演算器40に与えるべく切り替わる。また、この時に第2レジスタフ

ファイル 4 2 には第 2 命令制御ユニット 1 1 d からの命令列による演算途中のデータが記憶される。さらに、第 2 命令デコーダ 3 3 d から第 2 命令メモリ 3 2 d に対して命令列の発行を停止するよう指示を与える。この時点で、演算器 4 0 は第 1 命令制御ユニット 1 0 d からの命令列の実行を開始する。

【 0 0 6 0 】

第 1 命令制御ユニット 1 0 d からの割り込み処理が終了すると、第 2 命令デコーダ 3 3 d から第 2 命令メモリ 3 2 d に対して命令列の発行を再開するよう指示が出される。又、セクタ 3 4 d は自動的に切り替わり、第 2 命令メモリ 3 2 d からの命令列を第 2 命令デコーダ 3 3 d へ与える。同時に演算ユニット用セクタ 4 3 は、第 2 レジスタファイル 4 2 に記憶されたデータを演算器 4 0 に与えるよう切り替わり、中断された命令列 2 + の実行が再開される。この場合、前述のように第 2 命令制御ユニット 1 1 d からの命令列による演算途中のデータが第 2 レジスタファイル 4 2 に記憶されているので、該データを利用して中断された処理を再開できる。従って、割り込みによるデータ退避の必要もなく、高速に割り込み処理が行なわれる。

【 0 0 6 1 】

実施の形態 5.

図 1 3 は、1 つの主命令制御ユニット（本実施の形態では第 0 命令制御ユニット 5 0）と複数の副命令制御ユニット（第 1 命令制御ユニット 1 0 e ～ 第 N 命令制御ユニット 1 2 e）及び該副命令制御ユニットに対応した複数の演算ユニット（第 1 演算ユニット 1 3 e ～ 第 N 演算ユニット 1 5 e）とから構成されるプロセッサの一例を示すブロック図である。本実施の形態は、図 1 3 に示されるように第 0 命令制御ユニット 5 0 から V L I W 型命令列 5 1 が各副命令制御ユニットに対し発行され、各演算ユニットが同期して駆動する構成となっている。

【 0 0 6 2 】

第 0 命令制御ユニット 5 0 からの V L I W 型命令列における命令列 1 が第 1 命令制御ユニット 1 0 e に対し発行された場合、上述の実施の形態 1 と同様、第 1 命令制御ユニット 1 0 e のセクタ 3 4 e は、命令列 1 を第 1 命令デコーダ 3 1 e に与えるべく切り替わる。第 1 演算ユニット 1 3 e は、第 1 命令デコーダ 3 1

e が解読した命令列 1 を実行する。また、他の副命令制御ユニットも、第 0 命令制御ユニット 5 0 からの V L I W 型命令列を実行するために、同様の動作を行なう。このように第 0 命令制御ユニット 5 0 の V L I W 型命令列により各演算ユニットが駆動されることで、V L I W 型命令列の特徴をそのまま生かして同期実行処理を行なうことができると共に、各副命令制御ユニット毎に各命令メモリからの命令列に基づいて自立実行処理を行なうこともできるため、タスクの粒度等に応じた様々な処理の実行が可能となる。

【 0 0 6 3 】

実施の形態 6.

図 1 4 は、1 つの主命令制御ユニット（本実施の形態では第 0 命令制御ユニット 5 0 a）、複数の副命令制御ユニット（第 1 命令制御ユニット 1 0 f ～第 N 命令制御ユニット 1 2 f）、それら副命令制御ユニットに対応した複数の演算ユニット（第 1 演算ユニット 1 3 f ～第 N 演算ユニット 1 5 f）、及び第 0 命令制御ユニット 5 0 a からの時分割命令列 5 2 を各副命令制御ユニットに振り分ける切替部 5 3 とから構成されるプロセッサの一例を示すブロック図である。

【 0 0 6 4 】

本実施の形態において、第 0 命令制御ユニット 5 0 a からの時分割命令列 5 2 には、時分割命令列 5 2 中の各命令列をどの演算ユニットで駆動するか情報が組み込まれており、該情報に基づいて切替部 5 3 が各命令制御ユニットに時分割に（シリアルに）命令列を発行する。例えば、ある命令列が第 1 命令制御ユニット 1 0 f に発行されるべき命令列であった場合、第 1 命令制御ユニット 1 0 f に対し命令列が発行されるよう切替部 5 3 が切り替わる。発行された命令列を受け取った第 1 命令制御ユニット 1 0 f ではセクタ 3 4 f が切り替わり、第 1 命令デコーダ 3 1 f が該命令列を解読し、第 1 演算ユニット 1 3 f が解読された該命令列を実行を開始する。他の各命令制御ユニットも、時分割命令列 5 2 から命令列が発行されると、同様の動作で処理を実行する。このように各演算ユニットは時分割命令列 5 2 によって並列に駆動され動作することとなる。

【 0 0 6 5 】

実施の形態 7.

図 1 5 は、主命令制御ユニット（本実施の形態では第 0 命令制御ユニット 5 0 b）及び複数の副命令制御ユニット（第 1 命令制御ユニット 1 0 g ～ 第 N 命令制御ユニット 1 2 g）及び該副命令制御ユニットに対応する複数の演算ユニット（第 1 演算ユニット 1 3 g ～ 第 N 演算ユニット 1 5 g）とを有し、且つ各副命令制御ユニットの命令実行状態に基づいてどの命令制御ユニットに命令列を割り当てるかを判定する命令割当部 5 4 を備えてなるプロセッサの一例を示すブロック図である。

【0066】

本実施の形態においては、各副命令制御ユニットから命令割当部 5 4 に命令実行状態（つまり演算ユニットの駆動状態）が通知される。第 0 命令制御ユニット 5 0 b から命令列が発行されると、命令割当部 5 4 は、第 1 命令制御ユニットから第 N 命令制御ユニットまでの命令実行状態をチェックし、動作が停止している演算ユニット、もしくは割り込みをかけてもよい演算ユニットに対して命令列を発行する。例としては、スーパースカラプロセッサの命令並列化機構と同様の機構が考えられる。命令列を受け取った命令制御ユニットは、該命令列によって演算ユニットを駆動する。本実施の形態は、このように本実施の形態は、予め命令列に組み込まれた情報によらず、ハードウェアで判定して命令列を割り当てることによって、並列に演算ユニットを駆動することができる。

【0067】

実施の形態 8.

図 1 6 は、2 つの演算ユニットと 2 つの命令制御ユニットから構成されるプロセッサの一例を示すブロック図であるが、各命令制御ユニットは共通の命令メモリ 5 5 を有しており、各々独自の命令メモリは有してはいない。命令メモリ 5 5 は、ポートを 2 つ有しており（デュアルポート）、それぞれのポートから各命令制御ユニットの命令デコーダに対して命令列を発行する。

【0068】

このように、2 つの命令制御ユニットが同一の命令メモリ 5 5 に命令列を保持する構成をとることにより、単一のプログラム中に各演算ユニットを駆動させるサブルーチンがある場合において、該サブルーチンを個々の命令制御ユニット毎

に保持する必要がないという利点が生じる。プログラム中にそうしたサブルーチンを有する場合のデュアルポートメモリ及びシングルポートメモリの双方における該サブルーチンの配置例を図 1 7 に示す。

【 0 0 6 9 】

2 つの命令制御ユニットが各々シングルポートメモリを有する場合、図 1 7 右に示されるように各演算ユニットを駆動させるサブルーチンは各々の命令メモリに個別に保持していなければならない。しかしながら、共通のデュアルポートメモリを有する場合には、図 1 7 左に示されるようにサブルーチン 1 つだけ保持していればよく、プログラムの管理も容易となり命令メモリの容量を小さくすることができる。

【 0 0 7 0 】

実施の形態 9.

図 1 8 は、各命令制御ユニットが個別に電力制御できるプロセッサの構成の一例を示したブロック図である。第 1 命令制御ユニット 1 0 i 以外の命令制御ユニットとそれに対応する演算ユニットの間にはそれぞれスイッチが設けられ、個々の演算ユニットの駆動状況に基づいて各命令制御ユニットからの制御信号により該スイッチをオン／オフすることによって各々の電力供給を制御することができる。

【 0 0 7 1 】

具体的には、例えば、第 2 演算ユニット 1 4 i が自立実行する場合には、該第 2 演算ユニット 1 4 i に対応する第 2 命令制御ユニット 1 1 i が第 1 スイッチ 5 6 をオンにして電力を供給し、実行が終了した場合には、第 1 スイッチ 5 6 をオフにして電力の供給を停止する。又、全ての演算ユニットが第 1 命令制御ユニット 1 0 i からの命令列により同期して駆動される場合、第 1 命令制御ユニット 1 0 i で一括して電力供給の制御を行なう。

【 0 0 7 2 】

以上、本発明の様々な実施の形態を説明したが、本発明は上述した実施の形態に限定されることはなく、本発明の要旨を逸脱しない範囲において適用可能であることはもちろんである。

【 0 0 7 3 】

（付記 1）演算ユニットに命令列を発行する複数の命令制御ユニットを備えたプロセッサ制御装置において、複数の演算ユニットを一つの命令制御ユニットからの命令列によって駆動する第 1 実行処理と、演算ユニット毎に異なった命令制御ユニットからの命令列によって駆動する第 2 実行処理とを、切り替えて実行させる制御手段を備えたことを特徴とするプロセッサ制御装置。

（付記 2）前記制御手段による切り替え処理は、命令列に含まれた情報に基づいて実行されることを特徴とする付記 1 記載のプロセッサ制御装置。

（付記 3）前記制御手段は、第 2 実行処理を実行中の第 N 演算ユニットに対して、該第 N 演算ユニットに命令列を発行している第 N 命令制御ユニットと異なる第 M 命令制御ユニットから命令列が発行された場合、第 N 演算ユニットが終了状態となるまで、第 M 命令制御ユニットを待ち状態とすることを特徴とする付記 1 又は付記 2 記載のプロセッサ制御装置。

（付記 4）前記制御手段は、命令列を保持する第 1 記憶手段を有し、第 2 実行処理を実行中の第 N 演算ユニットに対して、該第 N 演算ユニットに命令列を発行している第 N 命令制御ユニットと異なる第 M 命令制御ユニットから命令列が発行された場合、第 M 命令制御ユニットからの命令列を第 1 記憶手段に保持し、第 N 命令制御ユニットが発行している命令列に含まれた情報に基づいて第 1 記憶手段に保持された命令を実行することを特徴とする付記 1 又は付記 2 記載のプロセッサ制御装置。

（付記 5）一つの命令制御ユニットの命令列を実行している演算ユニットに対し、他の命令制御ユニットからの命令列を切り替えて実行させる場合に、該実行中の命令列により生成されたデータを、該実行中の命令列に係る命令制御ユニットに対応して保持する第 2 記憶手段を備えたことを特徴とする付記 1 又は付記 2 記載のプロセッサ制御装置。

（付記 6）前記制御手段は、各演算ユニットの命令実行状態に基づいて命令列を発行すべき演算ユニットを判断し、その判断結果に基づく演算ユニットに命令列を発行することを特徴とする付記 1 又は付記 2 記載のプロセッサ制御装置。

（付記 7）複数の演算ユニットで実行すべき命令列を記憶する命令メモリと、前

記命令メモリからの命令列を解読し、前記複数の演算ユニットのいずれかに出力する命令デコーダと、前記命令デコーダで解読すべき命令列を切り替えて前記命令デコーダに与えるセレクタとを備えてなるプロセッサ制御装置。

（付記 8）前記命令列には、前記セレクタにより切り替えられる命令列に関する情報が含まれ、前記命令デコーダが、前記指定を解読して、前記セレクタに切替指示を出力することを特徴とする付記 7 記載のプロセッサ制御装置。

（付記 9）前記命令列には、所定の演算ユニットと当該他の演算ユニットとを同期させて処理を実行させるための命令である同期命令が含まれ、前記所定の演算ユニットに対して前記同期命令が発行されたとき、前記所定の演算ユニットは待ち状態とされ、前記他の演算ユニットの命令デコーダは、前記同期命令発行時に前記他の演算ユニットが命令列の処理の実行中の場合には、該処理が終了するまで、前記セレクタに対して前記切替指示を出力せず、且つ前記所定の演算ユニットの待ち状態を解除しないことを特徴とする付記 7 又は付記 8 記載のプロセッサ制御装置。

（付記 10）所定の演算ユニットが実行している命令列を記憶している命令メモリと異なる他の命令メモリから送出される命令列を前記セレクタの前段において一時的に格納しておく命令キューと、前記所定の演算ユニットの実行中の処理に対して割り込みをかけることが可能か否かを実行中の命令列から判断し、可能であれば実行中の命令列の発行元である前記命令メモリに対し命令列の発行を中断する割り込み信号を出力すると共に、前記セレクタに対し前記命令キューからの命令列に切り替えるよう切替指示を出力する判定手段を備えたことを特徴とする付記 7 又は付記 8 記載のプロセッサ制御装置。

（付記 11）演算ユニットに命令列を実行させる命令制御ユニットであって、命令列を記憶する第 1 命令メモリと、命令列を解読して演算ユニットに与える命令デコーダと、第 1 命令メモリからの命令列と前記命令制御ユニットと異なる他の命令制御ユニットの第 2 命令メモリからの命令列とを切り替えて前記命令デコーダに与える命令制御用セレクタとを備えた命令制御ユニットと、前記演算ユニットに設けられ、前記命令デコーダで解読された第 1 命令メモリからの命令列と第 2 命令メモリからの命令列をそれぞれ記憶する第 1、第 2 レジスタファイルと、

前記第 1、第 2 レジスタファイルに記憶された命令列を前記命令デコーダの指示に従って切り替えて演算器に与える演算ユニット用セクタとを備えてなるプロセッサ制御装置。

(付記 1 2) 前記命令列は V L I W 型命令列を含むことを特徴とする付記 1 乃至付記 1 1 の何れかに記載のプロセッサ制御装置。

(付記 1 3) 前記命令列は複数の演算ユニットをシリアルに駆動させる時分割命令列を含むことを特徴とする付記 1 乃至付記 1 1 の何れかに記載のプロセッサ制御装置。

(付記 1 4) 前記命令デコーダは前記複数の演算ユニットに対応して複数設けられており、一つの命令メモリが前記複数の演算ユニットに実行させるべき命令列を記憶し、前記一つの命令メモリは、各命令デコーダへ命令列を発行するための複数のポートを有することを特徴とする付記 7 乃至付記 1 1 の何れかに記載のプロセッサ制御装置。

(付記 1 5) 各演算ユニットへの電力供給を前記各演算ユニットの処理の実行状況に基づいて制御する電力制御手段を備えたことを特徴とする付記 1 乃至付記 1 3 の何れかに記載のプロセッサ制御装置。

(付記 1 6) 付記 1 乃至付記 1 5 の何れかに記載のプロセッサ制御装置と、該プロセッサ制御装置によって駆動される演算ユニットとを備えてなるプロセッサ。

(付記 1 7) 複数の命令制御ユニットを備えて複数の演算ユニットに命令列を実行させるプロセッサ制御方法において、所定の複数の演算ユニットを一つの命令制御ユニットからの命令列によって同期して駆動する同期実行と、所定の演算ユニット毎に異なった命令制御ユニットからの命令列によって自立して駆動する自立実行とのいずれを実行させるかを予め命令列に規定しておき、該規定内容に従って、命令列が実行される演算ユニットを切り替えるようにしたことを特徴とするプロセッサ制御方法。

【 0 0 7 4 】

【発明の効果】

以上説明したように、本発明は、単一のプロセッサにおいて、複数の演算ユニットを単一の命令列で実行する処理と演算ユニット毎に異なった命令列によって

実行する処理とを処理内容に応じて切り替えて実行させるようにしたため、タスクの性質（粒度）に応じて都合よく処理ができ、音声を伴う画像処理等に関しても動作周波数を上げることなく同期を取ることが可能となり、また、同期を取る必要の無い独立した処理でも効率的に実行することが可能となる。さらにまた、単一のプロセッサで双方の処理を都合の良いタイミングで割り込みをかけつつ処理することができるため、小型化も実現できる。さらに、このような処理の切り替えだけでなく、複数の命令制御ユニットを各処理に応じて一括もしくは個別に電力制御できるようにしたため、消費電力を低く抑えることができるという効果を奏する。

【0075】

【図面の簡単な説明】

【図1】

本発明のプログラム制御の動作を簡便に示したプロセッサの基本構成を示したブロック図である。

【図2】

図1に示される第1命令制御ユニットが有する第1命令メモリ及び第2命令制御ユニットが有する第2命令メモリにおける命令列の格納状況の一例を示した図である。

【図3】

タスク粒度の一例を示す図である。

【図4】

本発明が適用されるプロセッサを用いた携帯端末の構成例を示すブロック図である。

【図5】

第1の実施の形態の基本構成を示したブロック図である。

【図6】

第1の実施の形態において各命令メモリに格納された複数の命令列からなるプログラムの一例を示す図である。

【図7】

第 2 の実施の形態の基本構成を示したブロック図である。

【図 8】

第 2 の実施の形態において各命令メモリに格納された複数の命令列からなるプログラムの一例を示す図である。

【図 9】

第 3 の実施の形態の基本構成を示したブロック図である。

【図 1 0】

第 3 の実施の形態において各命令メモリに格納された複数の命令列からなるプログラムの一例を示す図である。

【図 1 1】

第 4 の実施の形態の基本構成を示したブロック図である。

【図 1 2】

第 4 の実施の形態において各命令メモリに格納された複数の命令列からなるプログラムの一例を示す図である。

【図 1 3】

第 5 の実施の形態の基本構成を示したブロック図である。

【図 1 4】

第 6 の実施の形態の基本構成を示したブロック図である。

【図 1 5】

第 7 の実施の形態の基本構成を示したブロック図である。

【図 1 6】

第 8 の実施の形態の基本構成を示したブロック図である。

【図 1 7】

プログラム中にサブルーチンを有する場合のデュアルポートメモリ及びシングルポートメモリの双方における該サブルーチンの配置例を示す図である。

【図 1 8】

第 9 の実施の形態の基本構成を示したブロック図である。

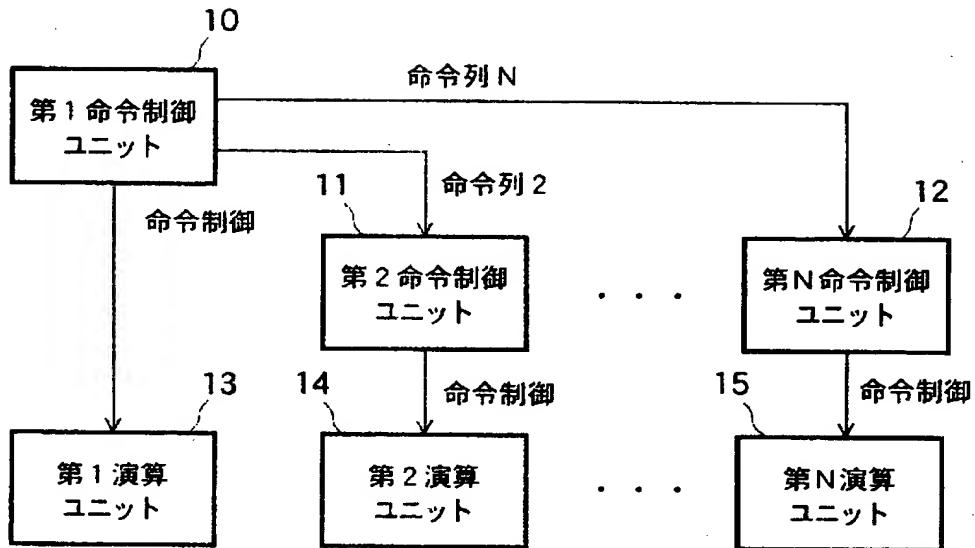
【符号の説明】

1 0 a 第 1 命令制御ユニット、 1 1 a 第 2 命令制御ユニット、 1 3 a 第

1 演算ユニット、1 4 a 第 2 演算ユニット、3 0 a 第 1 命令メモリ、3 1 a
第 1 命令デコーダ、3 2 a 第 2 命令メモリ、3 3 a 第 2 命令デコーダ、3
4 a セレクタ、3 6 割込判定部、3 7 AND 回路、4 1 第 1 レジスタフ
ァイル、4 2 第 2 レジスタファイル、4 3 演算ユニット用セレクタ、5 0
第 0 命令制御ユニット、5 4 命令割当部、5 5 命令メモリ（デュアルポート
）、5 6 第 1 スイッチ、5 7 第 N スイッチ。

【書類名】 図面

【図 1】



【図 2】

第 1 命令メモリ

アドレス	データ
0000	命令列 1
0001	命令列 2
0002	命令列 1
0003	命令列 2 (自立実行切替)
0004	命令列 1
0005	命令列 1
0006	命令列 1
0007	命令列 1
0008	命令列 2

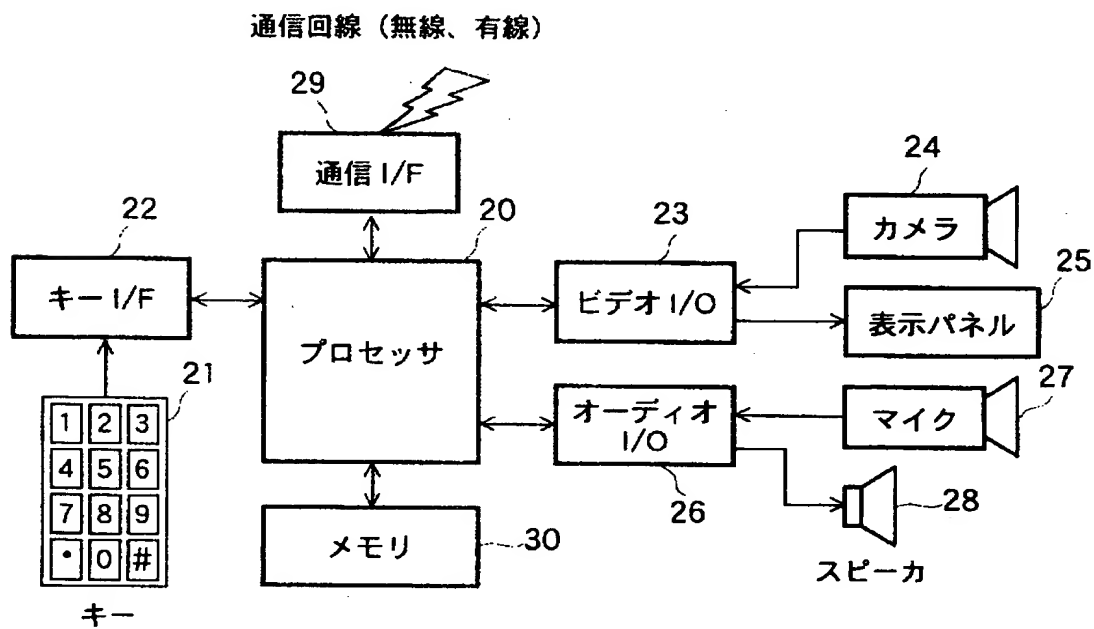
第 2 命令メモリ

アドレス	データ
0000	命令列 2 +
0001	命令列 2 +
0002	命令列 2 + (同期実行切替)

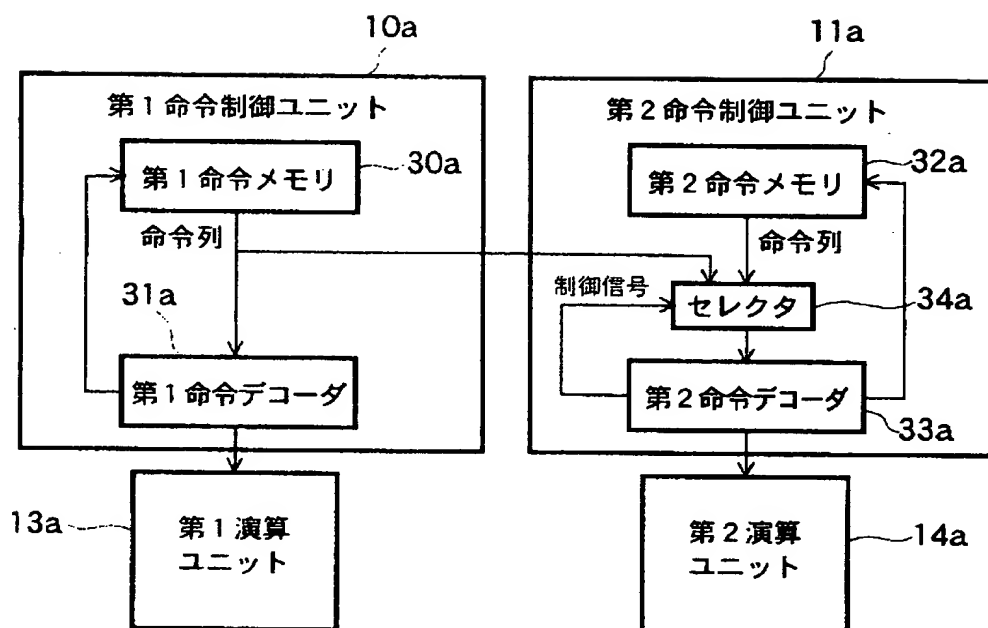
【図 3】

<div style="display: flex; align-items: center; justify-content: center;"> <div style="writing-mode: vertical-rl; text-orientation: upright;">細粒度</div> <div style="margin: 0 10px;"> </div> <div style="writing-mode: vertical-rl; text-orientation: upright;">粗粒度</div> </div>	命令レベル	<ul style="list-style-type: none"> • ADD A,B,C : 加算 • MUL A,B,C : 乗算
	関数レベル	<ul style="list-style-type: none"> • fft(x,y) : フーリエ変換 • fir(x,y) : FIR フィルタ
	アプリレベル	<ul style="list-style-type: none"> • MPEG ビデオ (画像 CODEC) • GSM-AMR (音声 CODEC)
	システムレベル	<ul style="list-style-type: none"> • 携帯端末システム

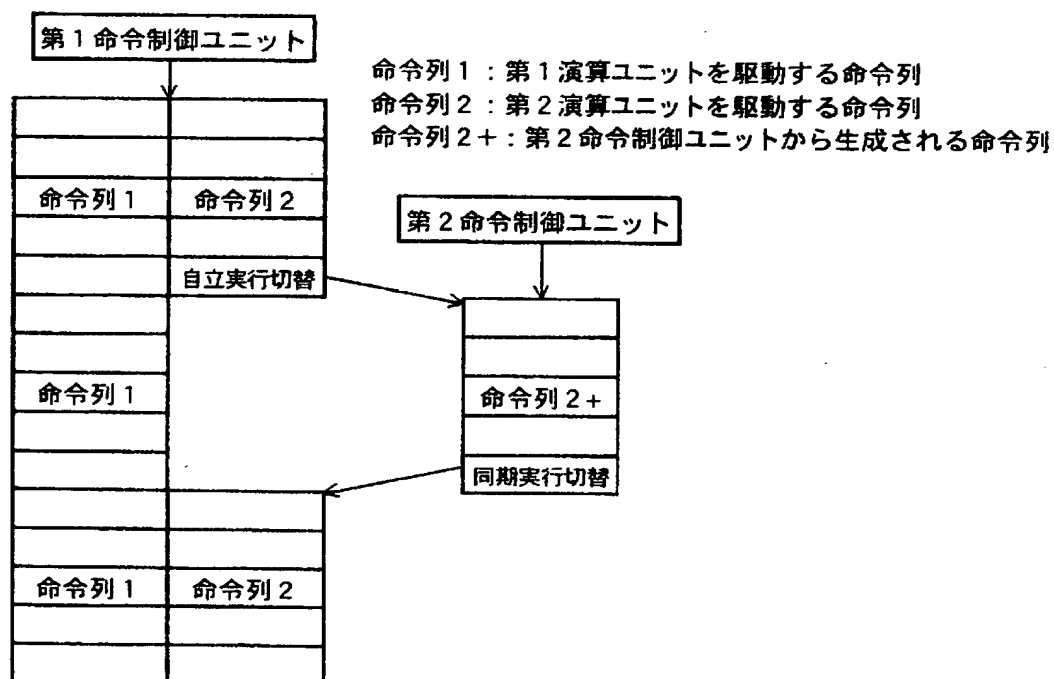
【図 4】



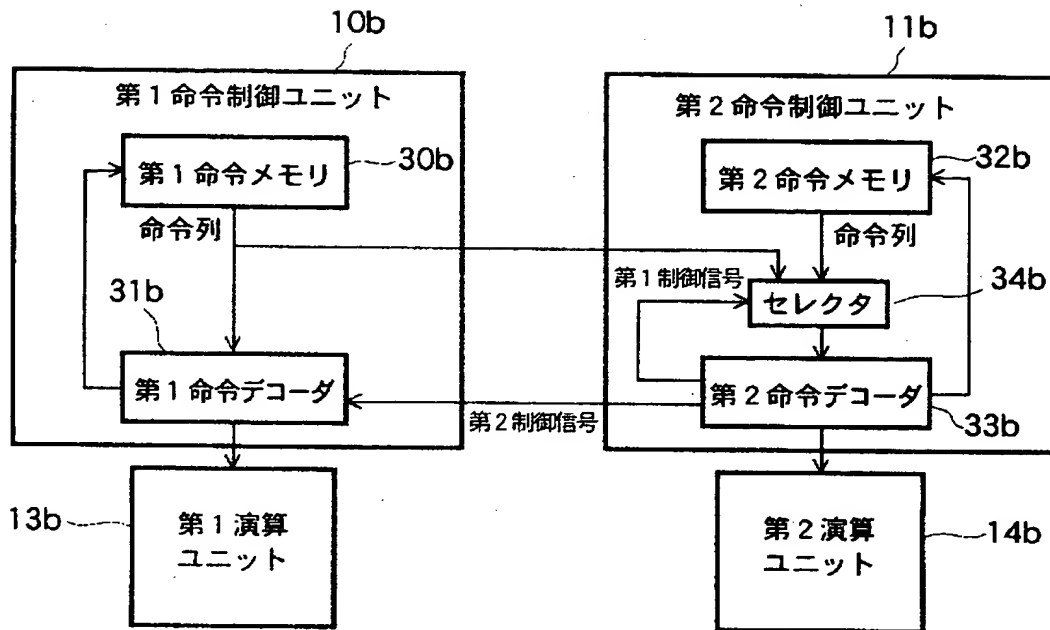
【図 5】



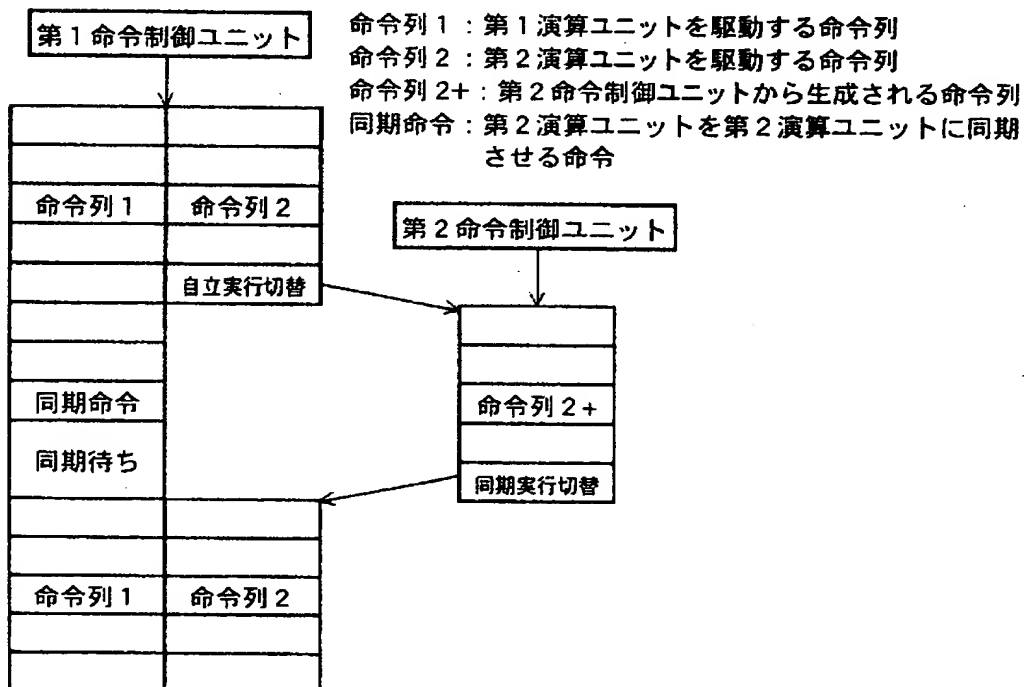
【図 6】



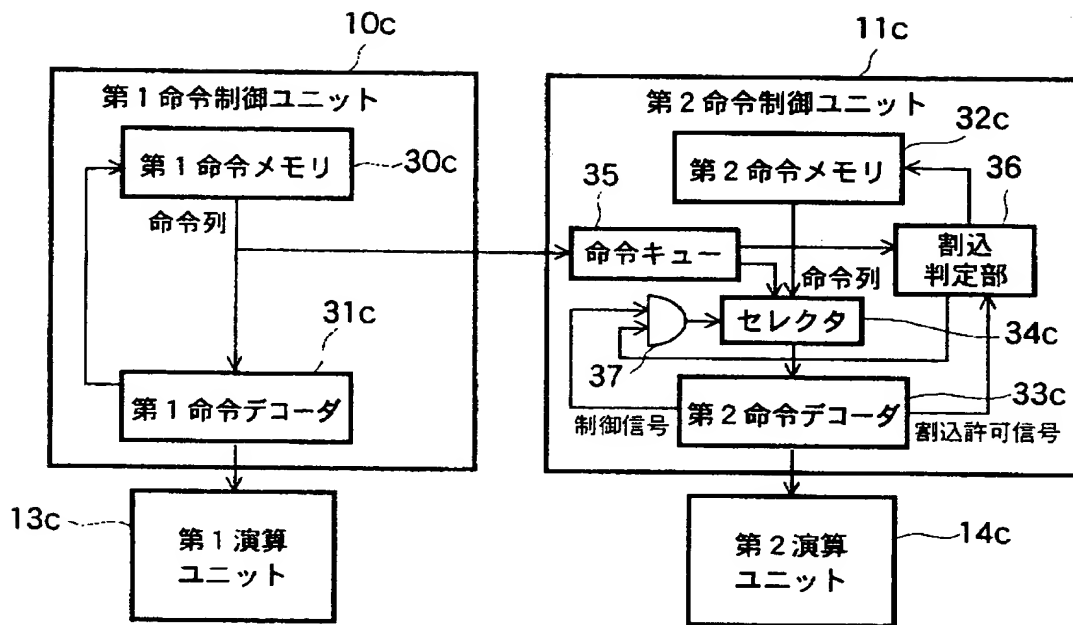
【図 7】



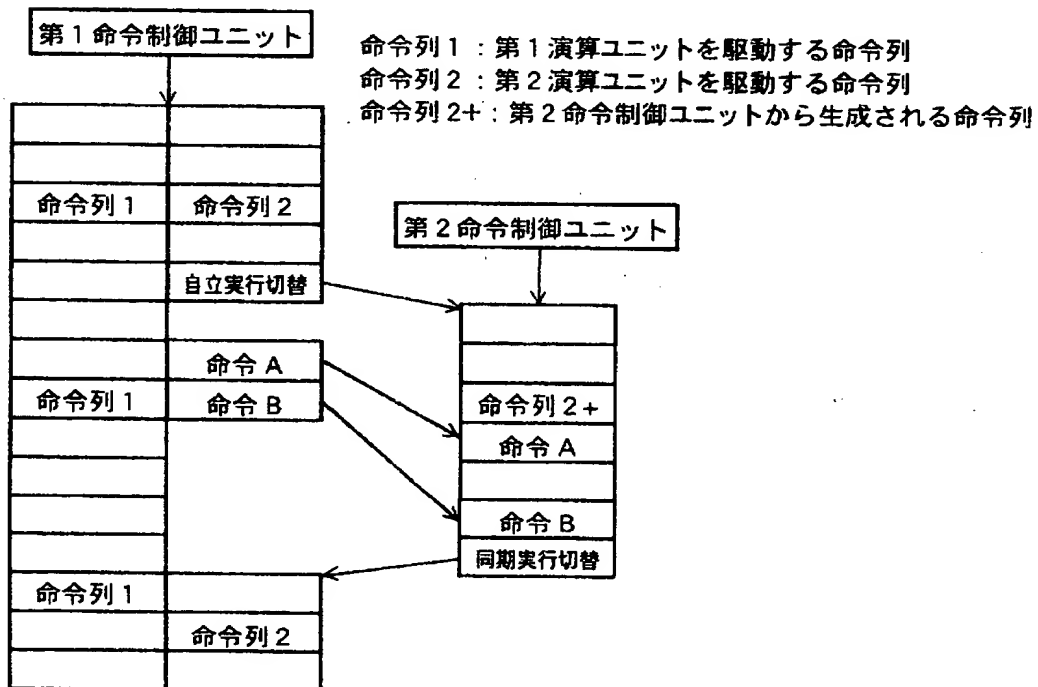
【図 8】



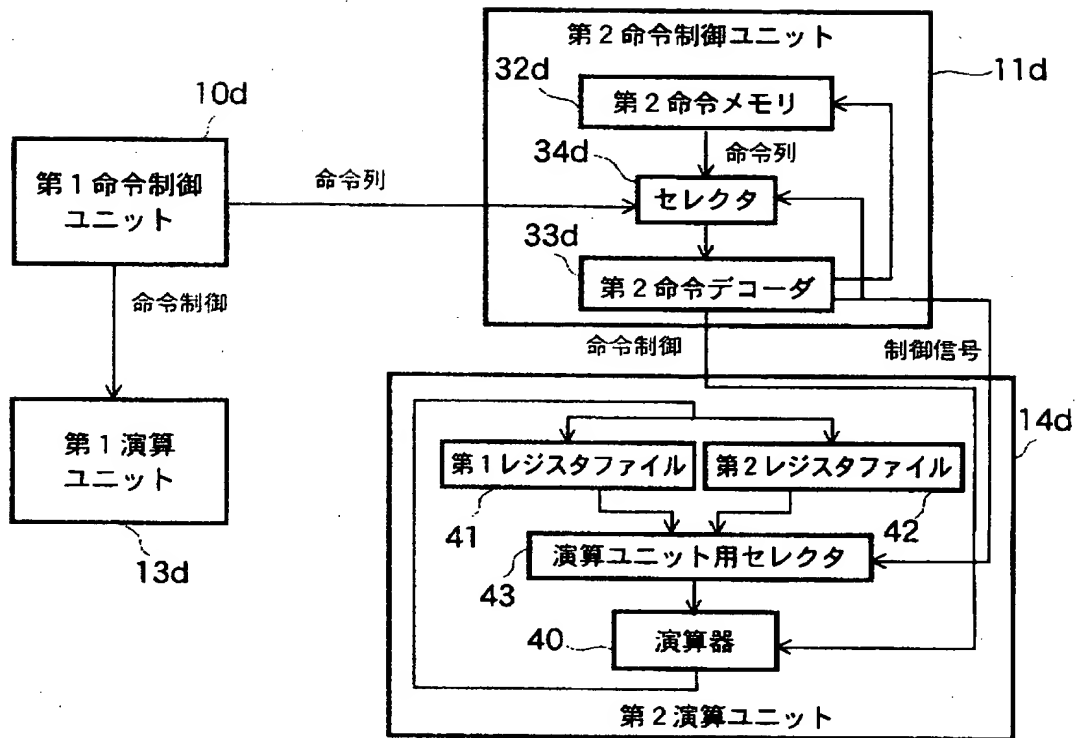
【図 9】



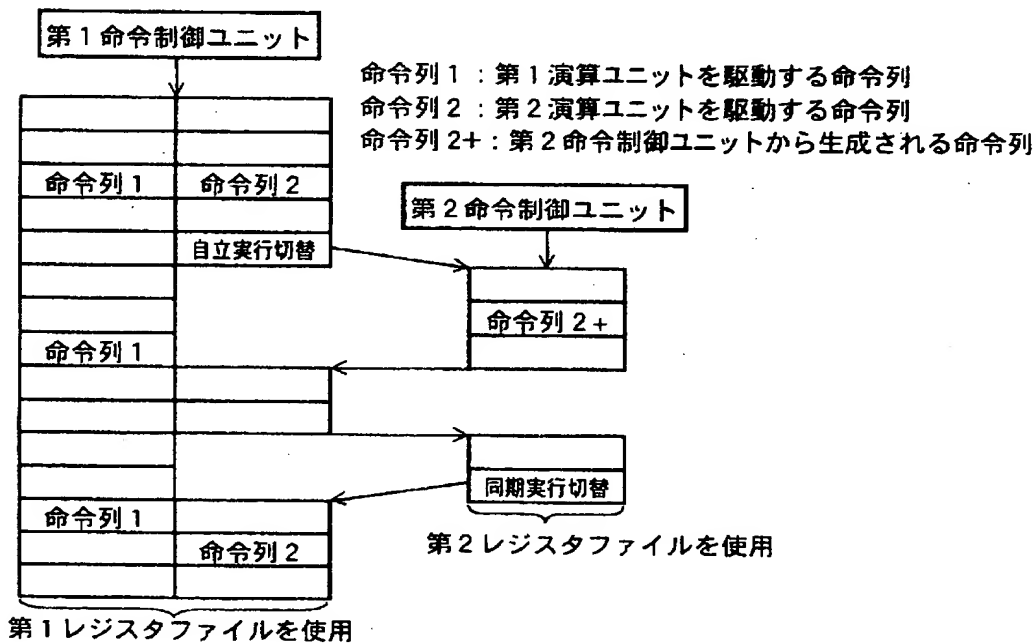
【図 10】



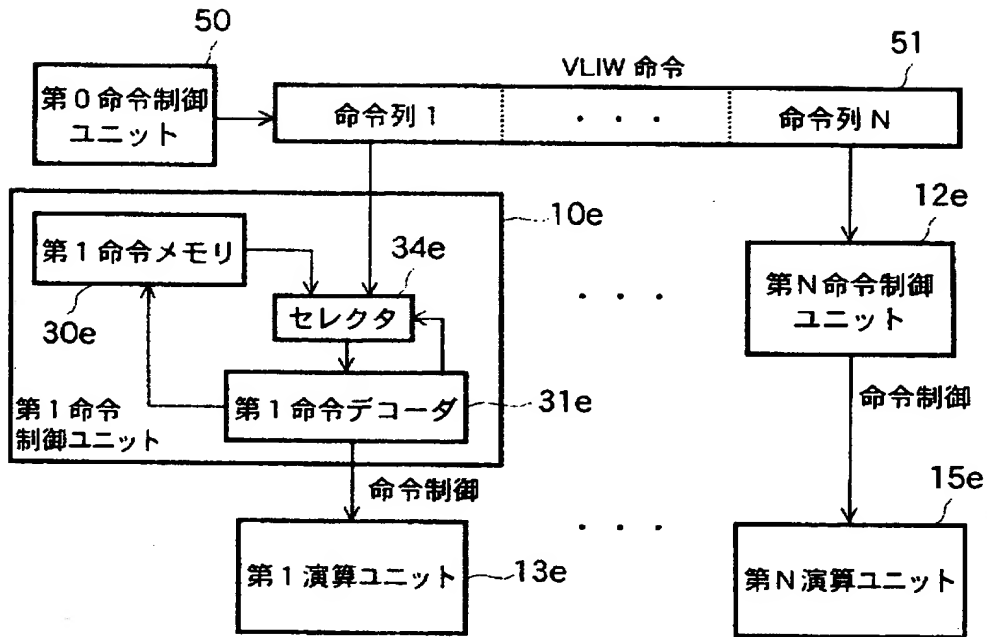
【図 1 1】



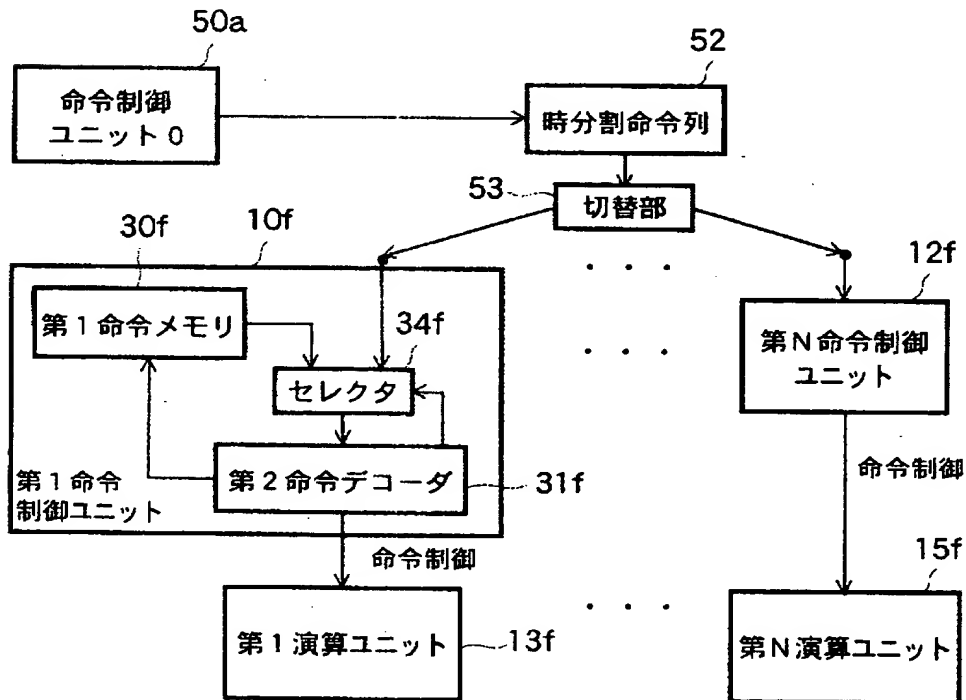
【図 1 2】



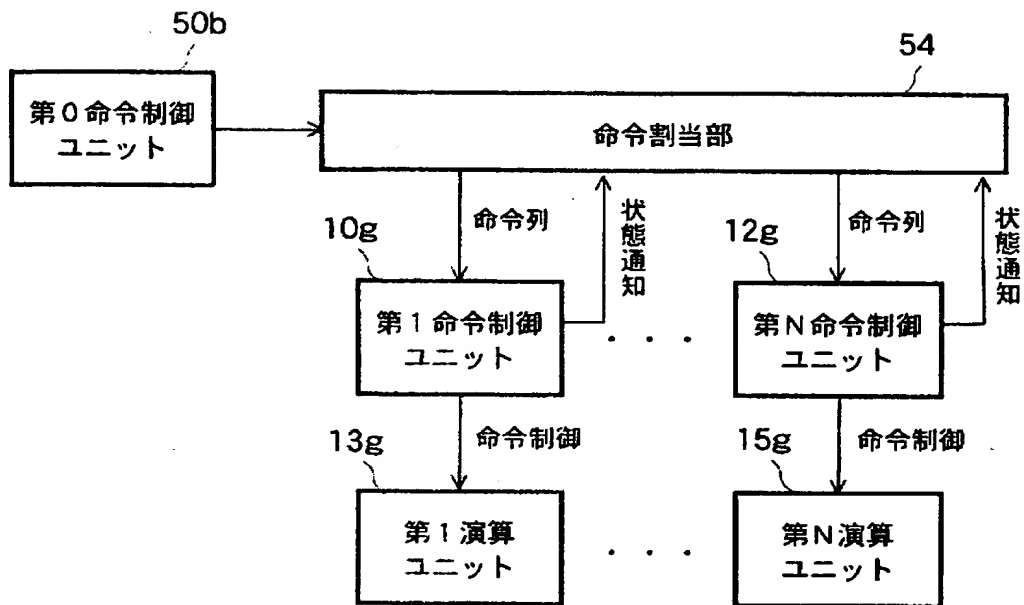
【図 13】



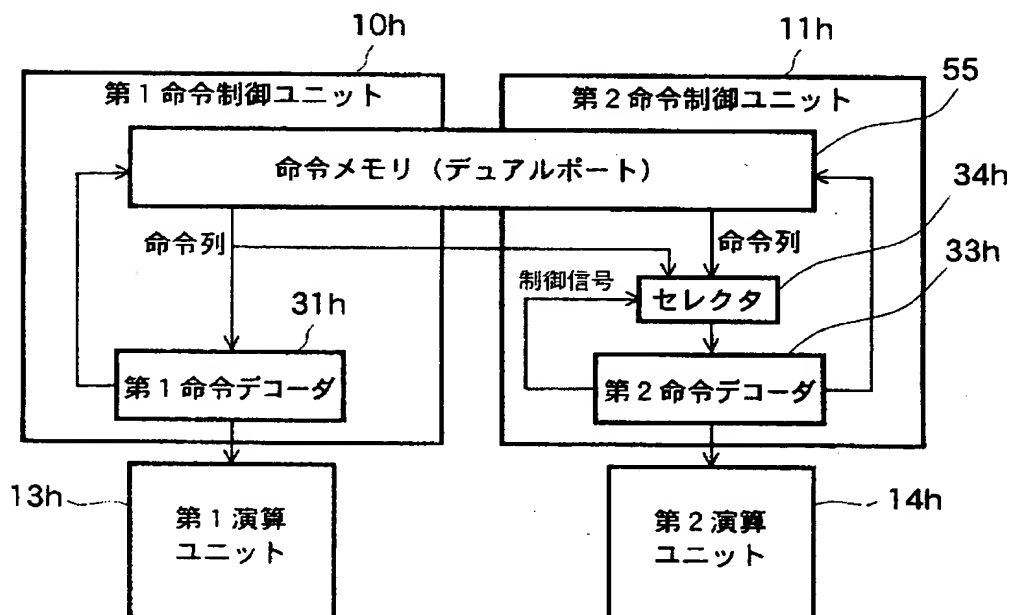
【図 14】



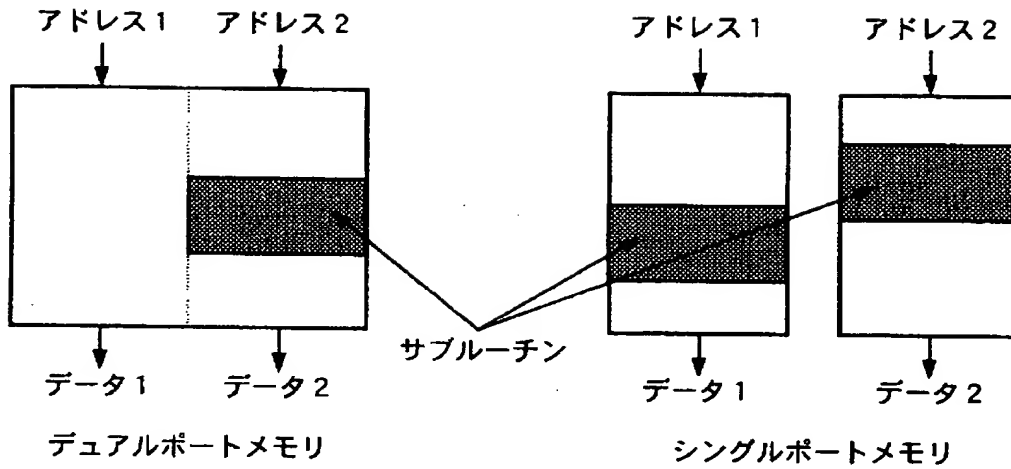
【図 15】



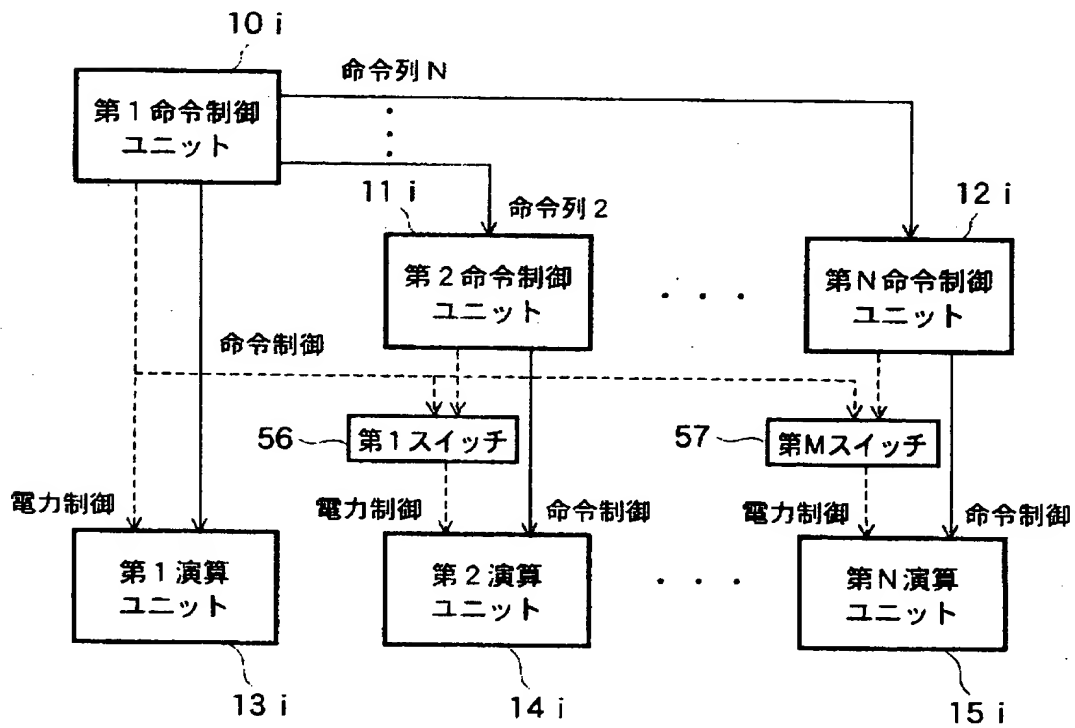
【図 16】



【図17】



【図18】



【書類名】 要約書

【要約】

【課題】 複数の演算ユニットを一つの命令制御ユニットからの命令列で実行する処理と演算ユニット毎に異なった命令制御ユニットからの命令列によって実行する処理とを処理内容に応じて切り替えて駆動することにより、プロセッサを効率的に制御し、且つプロセッサの駆動に係る消費電力を小さくする。

【解決手段】 複数の命令制御ユニット 1 0, 1 1, 1 2 が複数の演算ユニット 1 3, 1 4, 1 5 を駆動する場合、複数の演算ユニット 1 3, 1 4, 1 5 を第 1 命令制御ユニット 1 0 からの命令列によって駆動する同期実行処理と、演算ユニット 1 3, 1 4, 1 5 毎に各々に対応した命令制御ユニット 1 0, 1 1, 1 2 からの命令列によって駆動する自立実行処理とを、命令列に含まれた情報に基づいて切り替えて実行するようにした。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2000-398291
受付番号	50001693455
書類名	特許願
担当官	濱谷 よし子 1614
作成日	平成13年 1月12日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000005223
【住所又は居所】	神奈川県川崎市中原区上小田中4丁目1番1号
【氏名又は名称】	富士通株式会社

【代理人】

申請人

【識別番号】	100097250
【住所又は居所】	東京都大田区山王2丁目1番8号 山王アーバン ライフ317・318号室 オリオン国際特許事 務所

【氏名又は名称】	石戸 久子
----------	-------

【復代理人】

【識別番号】	100101856
【住所又は居所】	東京都大田区山王2丁目1番8号 山王アーバン ライフ317・318号室 オリオン国際特許事 務所

【氏名又は名称】	赤澤 日出夫
----------	--------

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日	1996年 3月26日
[変更理由]	住所変更
住 所	神奈川県川崎市中原区上小田中4丁目1番1号
氏 名	富士通株式会社